

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-315186

(43)Date of publication of application : 14.11.2000

(51)Int.Cl. G06F 13/28
G06F 13/12
G06F 13/18
G06F 13/362

(21)Application number : 11-125595

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 06.05.1999

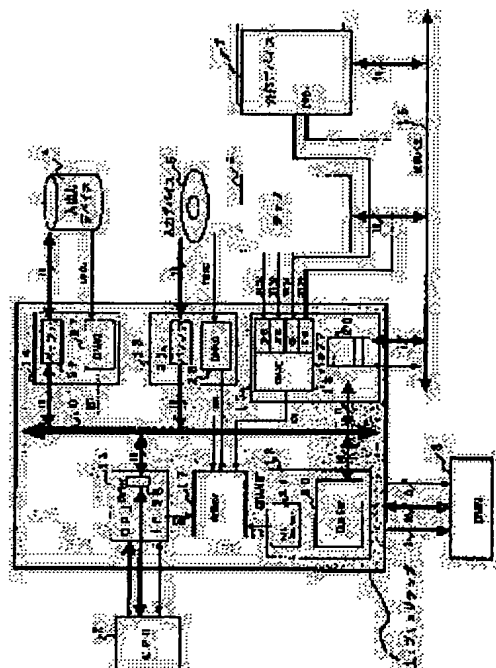
(72)Inventor : AYUKAWA KAZUSHIGE
SATO JUN
MIYAMOTO TAKASHI
OMURA KENICHIRO
HAMAZAKI HIROYUKI
TAKEDA HIROSHI
TAKANO MAKOTO
MOCHIZUKI ISAMU
HOSHI YASUHIKO
HIRAIDE KAZUHIRO
MURASHIMA RYUICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently transfer data between a memory and an I/O device with respect to a semiconductor device arranged among a CPU, the memory and the I/O device so as to act as a data transfer bridge.

SOLUTION: A CPU interface 11 and I/O interfaces 13 to 15 in a bridge chip 1 are connected to a DRAM interface 12 through an internal bus 10. These I/O interfaces 13 to 15 are respectively provided with read/write buffers 21 to 23 and DMACs 26 to 28. An arbiter 17 determines a bus master to be permitted in accordance with requests of data transfer with a DRAM 3 which are outputted from the CPU interface 11 and respective DMACs 26 to 28. Each of the I/O interfaces 13 to 15 has a function for controlling data transfer with the DRAM 3 so as to transfer data by skipping a part of areas in the DRAM 3.



LEGAL STATUS

[Date of request for examination]

03.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(2)

1

【特許請求の範囲】

【請求項1】外部に設けられるCPU、メモリ及び複数の入出力デバイスと接続され前記メモリと前記入出力デバイス間に実行されるデータ転送を制御する半導体装置であって、前記入出力デバイスのうちの少なくとも1つの入出力デバイスに対応するDMACチャンネルを有し、前記CPU及び前記DMACチャンネルの各々からの前記メモリとの間のデータ転送の要求に応じてデータ転送を許可するバスマスタを決定するバスアービタを有することを特徴とする半導体装置。

【請求項2】前記DMACは、前記メモリとの間のデータ転送の際に前記メモリ上の一部領域をスキップしてデータ転送するよう制御する手段を有することを特徴とする請求項1記載の半導体装置。

【請求項3】前記制御する手段としてDMA開始アドレス、転送語数、スキップ語数を指定するためのレジスタを有することを特徴とする請求項2記載の半導体装置。

【請求項4】前記制御する手段としてスキップ語数分をスキップしてアドレス生成できるカウンタを有することを特徴とする請求項3記載の半導体装置。

【請求項5】外部に設けられるCPU、メモリ及び複数の入出力デバイスと接続される半導体装置であって、前記半導体装置は、前記入出力デバイスを接続する複数の入出力インタフェースと、前記CPUを接続するCPUインタフェースと、前記メモリを接続するメモリインタフェースと、前記CPUインタフェース及び前記入出力インタフェースの各々と前記メモリインタフェースとを接続する内部バスとを有し、前記入出力インタフェースは各々バッファとDMACとを有し、前記CPUインタフェース及び前記DMACの各々からの前記メモリとの間のデータ転送の要求に応じてデータ転送を許可しバスマスタを決定するバスアービタを有することを特徴とする半導体装置。

【請求項6】前記DMACは、前記メモリとの間のデータ転送の際に前記メモリ上の一部領域をスキップしてデータ転送するよう制御する手段を有することを特徴とする請求項5記載の半導体装置。

【請求項7】前記制御する手段としてDMA開始アドレス、転送語数、スキップ語数を指定するためのレジスタを有することを特徴とする請求項6記載の半導体装置。

【請求項8】前記制御する手段としてスキップ語数分をスキップしてアドレス生成できるカウンタを有することを特徴とする請求項7記載の半導体装置。

【請求項9】前記DMACは外部入出力デバイスのデータフォーマットにあわせ、転送するデータをブロックとして扱うことを特徴とする請求項2または請求項6記載の半導体装置。

【請求項10】前記DMACにおいてブロックとして使うため、ブロック転送数をカウントするレジスタと、ブロックサイズを保持するレジスタとを有することを特徴

2

とする請求項9記載の半導体装置。

【請求項11】前記メモリは、前記CPUのアドレス空間の一部領域としてアドレスがマッピングされる記憶領域を有することを特徴とする請求項1または請求項5記載の半導体装置。

【請求項12】外部に設けられる前記メモリの代わりに前記メモリを内部に組み込んだことを特徴とする請求項1または請求項5記載の半導体装置。

【請求項13】外部に設けられる前記CPUの代わりに前記CPUを内部に組み込んだことを特徴とする請求項1または請求項5記載の半導体装置。

【請求項14】前記内部バスとは独立して前記CPUインタフェースから前記入出力インタフェースの各々にアクセス可能な第2のバスを設けたことを特徴とする請求項5記載の半導体装置。

【請求項15】外部に設けられるCPU、メモリ及び複数の入出力デバイスと接続される半導体装置であって、前記半導体装置は、第1の入出力デバイスと接続される第1の入出力インタフェースと、第2の入出力デバイスと接続される第2の入出力インタフェースと、第3の入出力デバイスと接続される第3の入出力インタフェースと、前記CPUを接続するCPUインタフェースと、前記メモリを接続するメモリインタフェースと、前記CPUインタフェース及び入出力インタフェースの各々と前記メモリインタフェースとを接続する内部バスとを有し、前記入出力インタフェースは各々リードライトバッファとDMACとを有し、前記CPUインタフェース及び前記DMACの各々からの前記メモリとの間のデータ転送の要求に応じてデータ転送を許可するバスマスタを決定するバスアービタを有し、第1の入出力インタフェースから前記メモリを介して第2の入出力インタフェースへのデータ転送及び第2の入出力インタフェースから前記メモリを介してデータ圧縮されたデータを第3の入出力インタフェースへ転送するデータ転送を実行可能に構成したことを特徴とする半導体装置。

【請求項16】前記第2の入出力インタフェースは、前記メモリとの間のデータ転送の際に前記メモリ上の一部領域をスキップしてデータ転送するよう制御する手段を有することを特徴とする請求項15記載の半導体装置。

【請求項17】データ圧縮又はデータ伸張を行う手段を内部に組み込んだことを特徴とする請求項15記載の半導体装置。

【請求項18】前記第2の入出力インタフェースは、外部のバスに接続され、前記CPUによって第2の入出力インタフェースに設定されたブロックサイズのデータブロックを前記内部バスと前記外部のバスとの間に転送する手段を有することを特徴とする請求項15記載の半導体装置。

【請求項19】前記メモリはDRAMであることを特徴とする請求項1、請求項5または請求項15記載の半導

(3)

3

体装置。

【請求項20】前記入出力インタフェースに接続される複数の外部接続デバイスのエンディアンがそれぞれ異なる場合にはエンディアンが異なるデバイスのデータバスの上位側と下位側を入れ替えて入出力インタフェースに接続することを特徴とする請求項15記載の半導体装置。

【請求項21】前記バスアービタは、バスマスタを選択する場合にあらかじめ決められた優先順位に従ってバスマスタを決定することを特徴とする請求項15記載の半導体装置。

【請求項22】前記優先順位は内容の異なる優先順位が複数存在し、用途に応じて優先順位を選択することを特徴とする請求項15記載の半導体装置。

【請求項23】CPU、メモリ、複数の入出力デバイス及び前記CPU、メモリと前記入出力デバイスとの間に介在する半導体装置を有する回路システムであって、前記半導体装置は、前記入出力デバイスを接続する複数の入出力インタフェースと、前記CPUを接続するCPUインタフェースと、前記メモリを接続するメモリインタフェースと、前記CPUインタフェース及び前記入出力インタフェースの各々と前記メモリインタフェースとを接続する内部バスとを有し、前記入出力インタフェースは各々リードライトバッファとDMACとを有し、前記CPUインタフェース及び前記DMACの各々からの前記メモリとの間のデータ転送の要求に応じてデータ転送を許可するバスマスタを決定するバスアービタを有することを特徴とする回路システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CPU、メモリと入出力デバイスとの間に介在してデータ転送ブリッジの役割を果たす半導体装置に係わり、特にメモリと入出力デバイス間の効率よいデータ転送を実現する半導体装置に関する。

【0002】

【従来の技術】現在、一般家庭向けの音楽／映像配信メディアとしてCD-ROM、DVD-RAMなどの大容量メディアが使われている。今後さらにCA-TVやインターネットを経由したマルチメディアデータの配信も一般化し、パーソナルコンピュータ、家庭用のAV機器などは大量のマルチメディアデータを扱う必要が生じるものと予想される。

【0003】このような市場動向、技術動向の一環としてCD-ROMに記録されている音楽データをデータ圧縮して一旦HDDに蓄積した後、ポータブル機器にデータ転送するような装置が提案されている。

【0004】

【発明が解決しようとする課題】現在のパーソナルコンピュータにはCD-ROM駆動装置、DVD駆動装置、

4

HDDなどが接続可能であり、パーソナルコンピュータのソフトウェアによって音楽データのデータ圧縮と蓄積およびポータブル機器へのデータ転送が可能である。しかし取扱う音楽データのデータ量が多いために、パーソナルコンピュータによるデータ転送処理に時間がかかる。またCD-ROMやDVDの音楽データと圧縮の処理単位、また圧縮後のデータ単位とHDDのフォーマットは異なるので、これらの間でデータ転送を行う場合にはデータのフォーマット変換をする必要がある。そこで効率よいデータ転送を行うような専用の装置が望まれる。

【0005】本発明の目的は、CPU、メモリと入出力デバイスとの間に介在してメモリと入出力デバイス間の効率よいデータ転送を実現する半導体装置を提供することにある。

【0006】

【課題を解決するための手段】本発明は、CPU、メモリ及び複数の入出力デバイスと接続され、メモリと入出力デバイス間に実行されるデータ転送を制御する半導体装置であって、これら入出力デバイスのうち少なくとも1つの入出力デバイスに対応するDMACチャネルを有し、CPU及びDMACの各々からのメモリとの間のデータ転送の要求に応じてデータ転送を許可するバスマスタを決定するバスアービタを有する半導体装置を特徴とする。

【0007】また本発明は、上記DMACがメモリとの間のデータ転送の際にメモリ上の一部領域をスキップしてデータ転送するよう制御する手段を有する半導体装置を特徴とする。

【0008】さらに本発明は、上記DMACがデータ転送の際にフォーマット変換できるように、ブロック単位でデータ転送を制御する手段を有する半導体装置を特徴とする。

【0009】

【発明の実施の形態】以下、本発明の実施形態について図面を用いて説明する。

【0010】(1)概要

図1は、ブリッジチップ1の内部構成及びブリッジチップ1に接続されるデバイスを示す図である。ブリッジチップ1は半導体装置であり、内部バス10を中心としてこの内部バス10に接続されるCPUインタフェース11、DRAMインタフェース12、入力インタフェース13及び入出力インタフェース14、15と、アービタ17とを有する。CPUインタフェース11にはマイクロプロセッサのチップであるCPU2が接続される。なおCPU2のメインメモリは図示していない。DRAMインタフェース12にはCPU2のローカルメモリであるDRAM3が接続される。入力インタフェース13には音楽データなどを格納する入力デバイス5が接続され、入出力インタフェース14には入出力デバイス4が

(4)

5

接続される。また入出力インタフェース15にはデータ圧縮／伸張を行うチップ6が接続される。さらに入出力インタフェース15に外部デバイス7が接続可能である。チップ6および外部デバイス7は拡張バス18を介して入出力インタフェース15に接続される。以下入出力デバイス4、入力デバイス5、外部デバイス7を総称して入出力デバイスと呼ぶことがある。

【0011】CPUインタフェース11は、CPU2からDRAM3、入力インタフェース13又は入出力インタフェース14～15にアクセスするときのデータ転送制御を行う。CPUインタフェース11はDRAM3とのデータ転送に使用するバッファ25を備える。DRAMインタフェース12は、バスコントローラ30及びリフレッシュカウンタ31を備え、CPUインタフェース11、入力インタフェース13又は入出力インタフェース14～15とDRAM3との間のデータ転送制御を行う。

【0012】入力インタフェース13又は入出力インタフェース14～15は、内部バス10を介する入出力デバイスとDRAM3とのデータ転送を効率的に行うためにそれぞれバッファ21～23を設ける。また入力インタフェース13及び入出力インタフェース14～15は、それぞれ独立したDMAC（DMAコントローラ）26～28を有する。CPUインタフェース11及び各DMACは、接続デバイスからのデータ転送要求を検出したとき、アービタ17にバスアクセス要求（BR）を送る。アービタ17は後述する優先制御方式に従っていずれか1つの要求元を選択し、その要求元にバスアクセス権を渡す。DMAC28は4チャンネルのDMACから成り、各チャンネルは独立したDMACとして機能する。なお以下入出力インタフェース13を入出力インタフェース13～15のように他の入出力インタフェースとまとめて呼ぶことがある。

【0013】図2は、ブリッジチップ1の内部構成を示す図であり、ブリッジチップ1内部のバス構成の詳細を示す図である。内部のバスは内部バス（IB）10と周辺バス（PB）20とから成り、2重化されている。周辺バス20は、CPUインタフェース11が入出力インタフェース13～15にアクセスするときに使用される。

【0014】図3は、ブリッジチップ1の他の実施形態を示す図であり、DRAM3をブリッジチップ1上に配置する実施形態を示す。

【0015】図4は、ブリッジチップ1の他の実施形態を示す図であり、CPU2をブリッジチップ1上に配置する実施形態を示す。

【0016】図5は、ブリッジチップ1の他の実施形態を示す図であり、CPU2及びDRAM3をブリッジチップ1上に配置する実施形態を示す。

【0017】図6は、ブリッジチップ1のさらに他の実

6

施形態を示す図であり、CPU2、DRAM3及び圧縮／伸張部35をブリッジチップ1上に配置する実施形態を示す。圧縮／伸張部35は、チップ6がもつデータ圧縮／伸張機能をブリッジチップ1内に組み込んだものである。

【0018】図7は、ブリッジチップ1の応用例を説明する図であり、特に入力デバイス5から入出力デバイス4までのデータの流れおよびその流れに介入するCPU2の処理を示す図である。入力デバイス5上には2352バイトのオーディオPCMデータごとに16バイトのサブコードが付加されている。ブリッジチップ1は、入力デバイス5から読み込んだ2368バイトの音楽データをそのままDRAM3上の入力IFバッファ37にDMA転送する。CPU2はブリッジチップ1を介して直接入力IFバッファ37にアクセスし、各サブコードの解析処理を行う。次に入力IFバッファ37上の音楽データのうちサブコード部分をスキップしPCMデータ部分のみを2048バイト単位にチップ6へDMA転送し、チップ6によってデータ圧縮を行う。CPU2はこのデータ圧縮処理には介入しない。圧縮されたデータを424バイト単位で入出力IFバッファ38へDMA転送し、424×154バイトの圧縮データごとに240バイトのヘッダ領域を空けるようにして入出力IFバッファ38に格納する。次にCPU2はブリッジチップ1を介して直接入出力IFバッファ38にアクセスし、ヘッダ領域にヘッダ情報を格納する。最後に入出力IFバッファ38から65538バイト単位でヘッダ付圧縮データを入出力デバイス4へDMA転送し、入出力デバイス4に格納する。入力IFバッファ37及び入出力IFバッファ38はリングバッファと呼ばれるバッファ構造をもっており、バッファ領域の終端からその先頭へとラップして書き込み可能である。

【0019】（2）アドレスマップ

図8は、CPU2からみたブリッジチップ1のアドレス空間のアドレスマップを示す図である。直接アクセス領域41とバッファ領域42は、共にDRAM3上の領域に該当し、CPU2によってそのメインメモリと同様に通常メモリとしてアクセスされる領域である。バッファ領域42はCPU2及び入出力インタフェース13～15によつてアクセスされる。ブリッジチップI/O領域43は、ブリッジチップ1全体としての制御レジスタ及び入出力インタフェース13～15内の制御レジスタに該当する。アドレスによって全体の制御レジスタ又は入出力インタフェースとその内部のレジスタが特定される。CPU2又は入出力インタフェース13～15がDRAM3上の領域をアクセスするときには内部バス10が選択され、CPU2がブリッジチップI/O領域43をアクセスするときには周辺バス20が選択される。

【0020】図9は、ブリッジチップI/O領域43のレジスタマップを示す図である。割込み制御レジスタ5

50

(5)

7

1は、ブリッジチップ1内部に設けられ、ブリッジチップ1からCPU2への割込みを制御するためのレジスタである。入出力IF13、14制御レジスタ52は、入出力インタフェース13、14にそれぞれ設けられ、入出力インタフェース13、14を制御するためのレジスタである。拡張制御レジスタ53は、入出力インタフェース15内に設けられ、拡張バス18を介するデータ転送及び入出力インタフェース15に接続されるチップ6及び外部デバイス7を制御するためのレジスタである。制御レジスタ51～53は、各々DMAC26～28を

【0021】(3) CPUインタフェース

CPUインタフェース11は、CPU2から内部バス10を介してDRAM3にアクセスするとき、および周辺バス20を介して入出力インタフェース13～15にアクセスするときのデータ転送制御を行うモジュールである。CPU2からDRAM3をアクセスするとき、次の2つのアクセス方法が可能である。

【0022】(a) バッファ25を介するDRAM3のアクセス

(b) バッファ25をバイパスするDRAM3のアクセス

図10は、2つのアクセス方法を説明する図である。DRAM3へ送るアドレスによっていずれか一方のアクセス方法が選択される。すなわちアドレスがバッファ領域42内のアドレスであれば(a)のアクセス方法によってDRAM3がアクセスされ、アドレスが直接アクセス領域41内のアドレスであれば(b)のアクセス方法によってDRAM3がアクセスされる。

【0023】(a)のアクセス方法によってDRAM3のデータを読み出すときには、CPUインタフェース11は連続する4つのアドレスのワードデータを先読みしてバッファ25に格納する。次のCPU2からのリード*

8

*アクセスがこの先読みしたデータのアドレスと一致する場合はバッファ25に蓄えられているデータをCPU2に出力する。このため遅延のないメモリアccessが可能である。また書き込み時には2段のバッファを利用し、連続した2ワード(32ビット)のデータを遅延なく書き込みできる。CPUインタフェース11は、入出力インタフェース13～15がDMA転送によってDRAM3を使用中でもライトデータをバッファ25に格納するため、追加のウェイトステートは入らない。このようにバッファ25を使うとCPU2、DRAM3間の高速データ転送が可能であるが、ブリッジチップ1内部のDMA転送などにより発生するコヒーレンシを考慮する必要がある。

【0024】上記のようにブリッジチップ1内部のバスは2重化されており、入出力インタフェース13～15によるDMA転送中にCPU2から入出力インタフェース13～15の制御レジスタにアクセス可能である。

【0025】なおCPU2、ブリッジチップ1間のインタフェースはSRAMのインタフェースに準拠している。

【0026】(4) 割込み制御

ブリッジチップ1はCPU2に inputsする外部割込みを制御する。ブリッジチップ1は割込み線(IRL3～0)によってCPU2と接続しており、ブリッジチップ1について発生する14の割込み要因を4ビットコードにエンコードしてCPU2に inputsする。割込み要因は、各入出力インタフェース13～15、チップ6、外部デバイス7に関する割込みなどがある。

【0027】表1は割込み制御のために使用されるレジスタを示す。

【0028】

【表1】

表1

アドレス	レジスタ名称
H' X300 0200	割込みマスクレジスタ (IMR)
H' X300 0202	割込み優先順位指定レジスタ (IRLR)

【0029】割込みマスクレジスタ(IMR)は、各割込み要因に対応してマスクビットを設定する。割込み優先順位指定レジスタ(IRLR)は、2ビットのプライオリティ・パターンビットから成り、14の割込み要因の割込み優先順位を3つのパターンに区分する。ブリッジチップ1は、IRLRに設定されたプライオリティ・パターンビットに従って各割込み要因の優先順位を決定する。このように優先順位は3種に集約されるので、ブリッジチップ1のハード量を削減できる。表2は3つのパターンの例を示す。レベル15～1のうちの1つは使用されないレベルである。

【0030】

【表2】

9
表 2

レベル	パターン1: IRLR='00'	パターン2: IRLR='01'	パターン3: IRLR='10'
15	IF13(入力 デバイス)	外部デバイス7	IF13(入力 デバイス)
14	IF14(入出 力デバイス)	IF13(入力 デバイス)	IF14(入出 力デバイス)
13	チップ6	IF14(入出 力デバイス)	チップ6
12	.	.	DMAC(IF13)
.	.	.	DMAC(IF14)
.	.	.	.
1	.	.	.
備考	デバイス優先	拡張バス 優先	高速コピー 優先

【0031】(5) DRAMインタフェース

DRAMインタフェース12は、内部バス10を介してCPUインタフェース11及び入出力インタフェース13～15から送られるアクセス要求に応答して、これらのモジュールとDRAM3との間のデータ転送の制御を行う。CPU2からは直接アクセス領域41又はバッファ領域42に該当するDRAM3の領域がアクセスされる。入出力インタフェース13～15からはバッファ領域42に該当するDRAM3の領域がアクセスされる。DRAMインタフェース12は、転送語長8ワードのバースト転送を基本とする高速のデータ転送を行う。一方ライトサイクルについてバイトアクセス制御が可能であり、DRAMインタフェース12はマスク制御によりバイトアクセス制御を行う。なおDRAMインタフェース12は、リフレッシュカウンタ31を用いて512メモリサイクルについて2回のリフレッシュを挿入する。

【0032】(6) DMAC

DMAC26～28は、各々その属する入出力インタフェース13～15とDRAM3との間のデータ転送を制御する。DMAデータ転送はシングルアドレスモードで動作する。入出力インタフェース13～15は、各々リードライトバッファ21～23を設け、DRAM3との高速データ転送を実現している。バッファのサイズは各入出力インタフェースの転送単位分あり、16ビット×4, 8, 16, ...のサイズである。本実施形態ではデータの転送はワード(16ビット)単位に行い、転送語数を設定する20ビットのレジスタにより最大1, 048, 576ワードまでの連続転送が可能である。またバッファ領域42上のデータ領域を転送領域と非転送領域に区分し、非転送領域の長さをオフセット値として指定することにより、非転送領域のデータ転送をスキップすることができる。オフセット値を0にすると通常の連続転送となる。DMAC28は4チャンネルのDMACであり、DMAC26, 27と合わせてブリッジチップ1

(6)

10

は6チャンネルのDMACを有する。DMAC28はその各チャンネルからの独立したデータ転送要求を受け付ける。

【0033】各DMACはチャンネルごとに以下のDMA制御レジスタを有する。DMA制御レジスタの仕様は全チャンネルについて共通である。

- ・DMAコントロール/ステータスレジスタ(CSR)
 - ・DMAメモリアドレスレジスタ(MARU, MARL)
 - ・DMAトランスファカウンタレジスタ(TCRU, TCR L)
 - ・DMAシーケンシャルアクセスワードカウンタレジスタ(SWR)
 - ・DMAオフセットワードカウンタレジスタ(OWR)
- 図11A及び図11Bは、各DMA制御レジスタのデータ構成を示す。R/WのRはリードのみ可能、R/Wはリードライト可能を示す。

【0034】(a) DMAコントロール/ステータスレジスタ(CSR)

- CSRはDMACの起動および強制終了などの制御を行う。またDMA転送終了による割込みの発生制御やDMA実行中を示すステータスフラグとしても使用される。

【0035】SR: Software Reset (R/W)

DMAを強制終了させることを示す。このビットに「1をライト」するとDMA転送は中止し、DEビットは「0」にクリアされる。このときINTビットは「1」にはならない。SRビットは「0をライト」するか又はリセットによって初期化される。

【0036】EXTREQ: EXT DREQ Monitor bit (R)

- このビットはブリッジチップ1外部からのDMAREQ信号のモニタビットである。何らかの原因で外部のDMAREQがロックしていることなど(例えば要求が入った状態のまま)を検知するために使用される。初期値は外部デバイスに依存する。

【0037】R/W: Read / Write (R/W)

データ転送の方向を示す。

【0038】1: DRAMからデータを読み出し入出力デバイスにデータを転送する。

- 【0039】0: 入出力デバイスからデータを読み出しDRAMにデータを転送する。

【0040】INTE: Interrupt Request Enable (R/W)

このビットはDMA転送終了時にCPUに割込みを要求するか否かを示す。INTEビットに「1をライト」すると、DMA転送終了時にINTビットがセットされてCPUに割込みを要求する。

【0041】INT: Interrupt Request (R/W)

所定のDMA転送が終了した場合、このビットは「1」にセットされてCPUに割込みを発生させる。割込み処理によりこのビットに「0をライト」する必要がある。

【0042】DE: DMA Enable (R/W)

50

(7)

11

このビットはDMA転送の許可を示す。DEビットに「1をライト」すると転送を開始する。DEビットはDMA転送中には「1」を保持し、所定のデータ転送を終了すると「0」にクリアされる。このビットはDMA実行中を示すステータスとして使用される。

【0043】(b) (c) DMAメモリアドレスレジスタ (MARU, MARL)

DMAメモリアドレスレジスタは、読み出し／書き込み可能な21ビットのレジスタで、DMA転送するメモリの先頭アドレスを示す。データ転送はワード単位なので

【0044】(d) (e) DMAトランスファカウントレジスタ (TCRU, TCRL)

DMAトランスファカウントレジスタは、読み出し／書き込み可能な20ビットのレジスタで、DMA転送語数を示す。転送語数の「-1」の値を設定する。例えば16ワードの転送を行うときは、このレジスタに「H' F (15)をライト」する。

【0045】(f) DMAシーケンシャルアクセスワードカウントレジスタ (SWR)

DMAシーケンシャルアクセスワードカウントレジスタは、読み出し／書き込み可能な16ビットのレジスタで、シーケンシャルアクセスを行う転送領域の語数(ワード)を示す。設定値は「連続アクセス語数-1」とする。この転送領域ではメモリアドレスの更新はワード単位(+2バイト)となる。後述するDMAオフセットワードカウントレジスタ (OWR) と対で使用される。

【0046】(g) DMAオフセットワードカウントレジスタ (OWR)

DMAオフセットワードカウントレジスタは、読み出し／書き込み可能な12ビットのレジスタで、データ転送を行わない非転送領域のスキップ語数を示す。設定する語数はワード単位である。転送領域のデータ転送が完了すると、次のメモリアドレスにこのOWRで指定した「オフセット値」を加算し、再び転送領域のシーケンシャルアクセスに戻る。このレジスタに「0をセット」とすると全てシーケンシャルアクセスとなる。

【0047】図12は、オフセット機能を説明する図である。MARU及びMARLはMARに設定するデータ転送の開始アドレスを示す。データは転送領域と非転送領域とを合わせたものを1つの区分とし、このデータ区分n個から成るものとする。転送領域の語数をSWRに設定し、非転送領域の語数をOWRに設定する。TCRに設定する総転送語数は、実際にデータ転送を行う語数であり、SWRの値×nである。DMACは転送領域のデータを転送した後、転送アドレスにOWRに設定された語数を加算し、非転送領域をスキップする。オフセット機能を使用すると、例えば音楽データを格納する入力デバイス5から読み出してDRAM3に格納したデータのうちPCMデータだけを転送する場合に、転送しない

12

領域をスキップすることができる。

【0048】図13は、スキップ機能を説明するブロック図である。スキップ機能はDMAアドレスの生成にて制御することができる。通常の連続転送時のDMAアドレスはインクリメントにより+1ずつ更新される。スキップ動作はSWRにて指定された領域の連続転送が終了すると、最後に転送したアドレスを格納してあるアドレスレジスタの値にOWRの値が加算される。これにより次のデータ転送は非転送領域をスキップさせ、有効データのアドレスを示すことができる。

【0049】図14は、DMACによるデータ転送の例を示す図である。図14は、入力デバイス5からPCMデータを読み出し、チップ6による変換を行い、ヘッダ情報の処理をしたデータを入出力デバイス4に記録する一連の処理手順の中のデータ転送動作を説明するものである。

【0050】図14(a)は、入力デバイス5からDRAM3へのデータ転送動作を説明する図である。サブコードの付いたPCMデータを入力デバイス5から読み出し、DRAM3に格納するとき、OWRに0を設定し、TCRには $(2368 \text{ バイト} \times n / 2) - 1$ の転送語数を設定する。これによってTCRに設定された語数+1分のデータがMARU, MARLに設定されたメモリアドレスから順にDRAM3に連続してデータ転送される。

【0051】図14(b)は、DRAM3に格納されたデータをデータ圧縮するためにチップ6へ転送するときのデータ転送動作を説明する図である。ここでは16バイトのサブコードを取り除いてチップ6に転送する例を示す。OWRに $16 / 2$ を設定し、TCRには $(2352 \text{ バイト} \times n / 2) - 1$ の転送語数を設定する。これによってDRAM3中のデータはSWRに設定された語数に従って $2352 / 2$ ワード転送した後、 $16 / 2$ ワード分のサブコードをスキップする動作をn回繰り返す。転送終了アドレスは図示するデータ位置となる。

【0052】図14(c)は、チップ6により変換されたデータを入出力デバイス4に記録するために64Kバイトのクラスタを構成してDRAM3に転送するときのデータ転送動作を説明する図である。1クラスタには240バイトのヘッダ情報領域を付加して65, 538バイト/クラスタとする。OWRに $240 / 2$ を設定し、SWRに $(424 \times 154 / 2) - 1$ を設定し、TCRには $(65, 538 \text{ バイト} \times n / 2) - 1$ を設定し、MARにはヘッダ情報領域分シフトした実際のデータ転送開始アドレスを設定する。これによって各クラスタには240バイトのヘッダ情報領域が確保されるとともに、TCRに設定された語数に従ってチップ6からDRAM3へのデータ転送が行われる。

【0053】図14(d)は、CPU2が直接DRAM3にアクセスし、DRAM3上の各ヘッダ情報を格納し

(8)

13

た後にDRAM3から入出力デバイス4にデータ転送するときのデータ転送動作を説明する図である。ここではヘッダを含めた全データをデータ転送するものとし、OWRに0を設定し、TCRには $(65, 538 \text{ バイト} \times n / 2) - 1$ を設定する。これによってTCRに設定された語数に従ってDRAM3から入出力デバイス4へのデータ転送が行われる。

【0054】以上スキップ転送について説明したが、圧縮方法を変更しても同じように転送できる。例えばMP3 (MPEG1 オーディオレイヤ3) という圧縮方法を
10 用いた場合は、データの処理単位が4608バイト、圧縮されたデータのサイズは420バイトになり、上述したレジスタの設定値を変更するだけで対応することが可能である。

【0055】また画像データと音楽データが入ったDVDの場合は画像データとサブコードをスキップし、音楽データだけを転送するようにレジスタ設定を行えばよい。

【0056】(7) 入出力インタフェース13, 14
入出力インタフェース13, 14は、各々ATA-3規格に準拠した入出力デバイスを接続可能である。外部デバイスへのアクセスタイミング規定は、PIO Mode 4, DMA Mode 2に従う。入出力インタフェース13, 14は、それぞれDRAM3とのDMA転送のためのリードライトバッファ21, 22を設け、高速のデータ転送を実現する。またそれぞれDMAC26, 27を設け、CPU2から受け取ったコマンドを独立して実行する。入出力インタフェース13, 14は、各々DMA制御レジスタのほかに上記のアドレス空間上にマッピングされた専用の入出力制御レジスタを有する。

【0057】図15は、ブリッジチップ1とATA機器との接続仕様を示す図である。入出力インタフェース13, 14の入出力制御レジスタへのアクセスはすべてワード(16ビット)で行う。このためバイト・レジスタ・リード時の上位バイト(DD15~DD8)が不定とならないようにプルアップする。また入出力デバイスのDD15~DD8と入力デバイスのDD7~DD0をブリッジチップ1のDD7~DD0へ接続し、入出力デバイスのDD7~DD0と入力デバイスのDD15~DD8をブリッジチップ1のDD15~DD8へ接続している。このような外部接続によって入出力デバイスだけエ

14

ンディアンを変換することができる。さらに入出力デバイスと入力デバイスで信号/CS0, /CS1, DMA RQ, /DMAACK, IRQをそれぞれ独立に設けており、どちらの装置もマスタとして接続することが可能となっている。

【0058】(8) 拡張バスインタフェース

拡張バス18はチップ6、及び拡張バスインタフェースに準拠する入出力デバイスを接続する。入出力インタフェース15は、内部バス10と拡張バス18との間のDMA転送のためにリードライトバッファ23を設け、高速のデータ転送を実現する。内部バス10と拡張バス18との間は2ワード(32ビット)単位でデータ転送を行い、データ転送効率を高めている。ただしCPU2からのアクセスについては1ワード単位のアクセスを行う。また4チャネルのDMAC28を設け、各チャネルについてDMA制御レジスタのほかに上記のアドレス空間上にマッピングされた拡張バスのためのデータ転送専用レジスタを有する。また拡張バス18に接続される入出力デバイスごとに上記のアドレス空間上にマッピングされた専用の入出力制御レジスタを有する。

【0059】図16はブロック転送とデータ圧縮処理を説明するブロック図、図17はそのタイミング図である。データ圧縮を行うチップ6は、内部の準備が整うとデータ入力要求を行い/DRQR信号をLOWレベルにアサートする。本ブリッジチップのDMACはこのデータ入力要求信号を受け、データを送出する。あらかじめ設定しておいたブロックサイズ(例えば2048バイト)の転送が完了すると、ブロック転送終了信号BENDRをアサートしてチップ6にデータ転送の完了を通知し、データ圧縮処理を開始させる。チップ6はデータ圧縮処理が終了すると、データ出力要求を行い/DRQT信号をLOWレベルにアサートする。ブリッジチップ1はこのデータ出力要求信号を受け、圧縮後のデータを取り込む。あらかじめ設定しておいたブロックサイズ(例えば424バイト)のデータの取り込みが完了すると、BENDTをアサートしてチップ6にデータ転送の完了を通知する。以降この動作の繰り返しとなる。

【0060】表3は各チャネル共通のデータ転送専用レジスタを示す。

【0061】

【表3】

表3

アドレス	レジスタ名称
H'X300 0850	ブロック制御レジスタ (BLCTL)
H'X300 0852	ブロック長指定レジスタ (BLLEN)
H'X300 0854	ブロック数カウンタステータス レジスタ上位 (BLCNTSU)
H'X300 0856	ブロック数カウンタステータス レジスタ下位 (BLCNTSL)

(9)

15

【0062】図18は、各データ転送専用レジスタのデータ構成を示す。R/Wの意味は上記の通りである。

【0063】(a) ブロック制御レジスタ (BLCTL)

入出力インタフェース15のDMAC28は、共通のDMAC機能のほかにチップ6に適するブロック転送機能など他の入出力インタフェースのDMACとは異なる機能を有している。ブロック制御レジスタは、このブロック転送機能の制御を行うためのレジスタである。共通のDMAC機能に付加されたブロック転送機能として、下記の機能をもつ。

【0064】①ブロックごとに区切ってデータを転送する。指定のブロックサイズの転送が終了したらチップ6に対してブロック転送終了信号 (BENDX) をアサートし、一時転送を中断 (区切り) する。

【0065】②転送ブロック数のカウント機能をもつ。

【0066】CLBC : Clear Block Transfer Counter
DMA転送では入出力インタフェース15の回路内部でチップ6に転送するデータのブロック中のデータ転送数をカウントしている。このカウンタ値はCPU2からは読めない。このビットはデータ転送中断などの際にこのカウンタ値をクリアするとき使用される。カウンタ値をクリアするときCLBCビットに「1をライト」する。その後カウンタを再起動させるために「0をライト」する。

【0067】CLBL : Clear Block Counter
CLBLビットはチップ6とのブロック転送の数をカウントするブロックカウンタのレジスタ (BLCNTS) をクリアする。カウンタ値をクリアするときCLBLビットに「1をライト」する。その後カウンタを再起動させるために「0をライト」する。

【0068】(b) ブロック長指定レジスタ (BLLEN)

ブロック長指定レジスタは、16ビットの読み出し/書き込み可能なレジスタである。1ブロックの転送語数 (ワード) を指定する。転送語数はロングワード (32ビット) 単位に指定する。このため最下位ビットは「0」に固定される。このレジスタの内容はリセット以外には更新されない。

【0069】(c) (d) ブロック数カウントステータスレジスタ (BLCNTSU, BLCNTSL)

ブロック数カウントステータスレジスタは24ビットのステータスレジスタであり、ブロックの転送数をカウントする。このレジスタは読み出し専用である。カウンタのクリアは、ブロック制御レジスタ (BLCTL) のCLBLビットによって制御する。

【0070】ここでブロック転送について説明する。図19は、ブロック転送とDMA転送の関連を説明する図である。例えば入力デバイスのオーディオデータの場合、通常は1セクタに2352バイトのPCMデータと

16

16バイトのサブコードが格納されている。このうちPCMデータを入力デバイスからブリッジチップに接続されているメモリに転送する場合1セクタ2352バイトの倍数を一つのかたまりとして取り出す。しかしデータ圧縮は例えば2048バイト単位で行うため、2352バイトとの端数が生じる。このためブロックの途中でDMA転送が終了することになる。この端数は次のセクタデータにつながっているため、ブロックの途中から次のかたまりデータの先頭を続けて送る必要がある。

【0071】図20は、BLLENによるブロック転送の動作を説明する図である。入出力インタフェース15内部の転送語数カウンタ64がクリアされた後、外部からブリッジチップ1へのブロック転送信号 (/DRQX) によって起動がかかり、データ転送が開始される。データ転送されるワード数に応じて転送語数カウンタ64がアップされる。BLLEN61の値と転送語数カウンタ64の内容をコンパレータ63によって比較し、一致したときブロック転送終了信号 (/BENDX) 生成論理66によってBENDXを生成するとともにカウンタクリア制御65を起動して転送語数カウンタ64をクリアする。転送するブロックの途中でデータ転送をキャンセルする場合などにCPU2によってBLCTLのCLBCビット62がセットされると、カウンタクリア制御65が起動され、転送語数カウンタ64をクリアする。

【0072】図21は、ブロック転送の動作を説明するタイミング図である。拡張バス18と入出力インタフェース15間のデータ転送が進むに従って転送語数カウンタ64がアップされる。転送語数カウンタ64の値がBLLEN61の値に達した時点AでBENDXがハイとなる。次に転送語数カウンタ64がクリアされ、次のブロック転送動作が繰り返す。図の/HDSはブリッジチップ1と拡張バス18との間のデータストローブ信号を示す。

【0073】図22は、ブロック数カウントの動作を説明するブロック図である。ブロック転送が完了するとBENDX信号生成論理66によりBENDX信号が発生して入出力インタフェース15内部にあるブロック数カウンタ73がアップされ、ブロック数カウンタ73の値によってBLCNTS71が更新される。CPU2はBLCNTS71のカウント値を読み出すことができる。CPU2によってBLCTLのCLBLビット72がセットされると、カウンタクリア制御74が起動され、ブロック数カウンタ73をクリアする。これによってBLCNTS71がクリアされる。

【0074】図23は、ブロック数カウントの動作を説明するタイミング図である。BLCNTS71が読み出された後、ブロック数カウンタ73及びBLCNTS71をクリアすると、第11番目のブロックの転送が第0番目のブロックの転送とみなされる。

(10)

17

【0075】図24は、ブリッジチップ1とチップ6との間のデータ転送に関連する信号を示す図である。データ転送のプロトコルは転送要求信号(／DRQX)と転送終了信号(／BENDX)の2つを使用してデータ転送を行うものである。チップ6側の信号名の末尾につく記号Rはチップ6が受信機、記号Tは送信機となることを意味する。

【0076】図25は、拡張バス18を介するブロック転送動作を説明するタイミング図である。DMA転送プロトコルは／DRQXがロウを条件にしてアサートされる。ブロック転送が終了すると、BENDXがアサートされ、これによって／DRQXがネゲートされ、この信号の伝達によってBENDXがネゲートされるというシーケンスとなる。

【0077】ブロック転送長は例えばチップ6の変換単位である2048バイトをBLLENに設定する。図25の例は、ブロック転送の途中でソフトウェアリセット(SR)ビットによってDMACを強制終了させている。次にDMACを新たに起動させる場合には、必要に応じてブロック制御レジスタのCLBLによりブロックカウンタを初期化する。図のEXDTはブリッジチップ1と拡張バス18との間のデータ線の信号を示す。

【0078】図26は、ブロック転送の中断とその継続転送動作を説明するタイミング図である。この例はブロック転送の途中でDMA転送が終了したときに継続してブロック転送を行う例を示す。DMAトランスファカウンタレジスタ(TCR)に設定した転送語数だけDMA転送するとDMA転送が終了し、CPU2に対して割込みが発生する。そこでCPU2の割込み処理によって次に転送するDMAメモリアドレスの設定などを行い、DMACを再起動させる。この場合には転送語数カウンタ64の内容が保存されているので、次のDMA転送が開始されると中断されたブロック転送を継続する。この例ではデータ長aとbのカウンタ合計は2048バイトとなる。

【0079】図27は、ブロック転送中断と新規転送動作を説明するタイミング図である。この例はブロック転送の途中でDMA転送が終了したときに新規のブロックを転送する例を示す。例えば入力デバイス5からDRAM3へ読み出したPCMデータのサイズがチップ6の変換に必要なデータ長に満たない場合や無効とするデータがある場合には中断したブロック転送を無効化することができる。また曲の切れ目でDMA転送が終了し新たな曲を転送させる場合には、次のDMA転送でブロック長を最初からカウントする必要がある、CPU2からブロック長カウンタクリア(CLBC)をセットして転送語数カウンタ64をクリアした後、CLBCをリセットする。以上の動作によって転送を中断したブロックを無効化し、BLLENに設定されたブロック長のブロック転送を新たに開始することができる。

18

【0080】図28は、拡張バスのアービトレーションを示すタイミング図である。アービタ17は、チップ6及び外部デバイス7が拡張バス18にアクセスするとき、データ転送中のDMAチャンネルの転送要求信号(／DRQX)のネゲート時にバスマスタ切り替え(バスアービトレーション)を行う。例えばDMACチャンネル3のブロック転送が終了してBEND3が立ち上がるとその信号はアービタ17に伝達され、アービタ17は／DRQ1をアサートしていたDMACチャンネル1に許可信号を送るので、DMACチャンネル1の要求によるDMA転送が開始される。図28の例はDMACチャンネル3の要求によるDMA転送の後に次の順番のDMACチャンネル1の要求によるDMA転送に切り替える様子を示す。アービタ17はプライオリティ制御によりチャンネル3、2、1、0の順にDMA転送を許可する。／CS0はチップセレクト信号であり、チップ6を選択して許可されたチャンネルのDMA転送が行われる状態を示す。

【0081】(9) バスアービタ

ブリッジチップ1のローカルメモリであるDRAM3にはCPU2及びDMAC26～28からのアクセス要求が発生する。アービタ17はDRAM3にアクセスするためのバスアクセス権を制御する。アービタ17は、DRAM3のバースト転送単位でバスマスタの切替を行う。アービタ17の優先制御は、CPU2からのアクセスを最優先させるラウンドロビン制御である。すなわちCPU2以外のアクセス要求に対してはあらかじめ決められた順番で順次バスマスタにバスアクセス権を渡していく。CPU2からDRAM3へのアクセス要求が発生したとき、他のバスマスタが内部バス10を占有しているときにはそのバースト転送が終了したときにCPU2のバスサイクルを挿入する。この動作によりCPU2からのアクセスのウェイトサイクルの挿入を最小限とする。

【0082】なおブリッジチップ1内部のバスは、CPU2からの各入出力インタフェースの制御レジスタへのアクセスバス(周辺バス20)とDRAM3に対するデータ転送バス(内部バス10)とから成り、2重化されているので、入出力インタフェース13～15がDRAM3にアクセス中にCPU2が任意の入出力インタフェース13～15の制御レジスタにアクセスできる。

【0083】図29は、IバスとPバスで接続された複数のDMACとDMAアービタの構成を示す図である。各々のDMACからはDMAアービタへIバスのバス権を要求するREQ信号、リードライトを区別するためのR／W信号が出力される。DMAアービタがDMACへIバスのバス権を与える場合はACK信号を用いる。

【0084】図30は、バス権の調停を行う場合のタイミングチャートを示す図である。タイミングチャートにはPバス、DMAC制御信号、Iバスが示されている。まず最初はPバスを経由してDMAC#iへDMAの転

50

(11)

19

送設定が行われる。これは外部CPUがDMAの開始アドレスや転送データ長を指定するものである。次にDMAC#iはCPUに指定されたアドレスのデータを外部デバイスからR/Wバッファに読み込んでデータ転送の準備をする。準備が完了したらREQ信号でDMAアービタにIバスのバス権を要求する。ACK信号によってIバスの使用が許可されたら、DMAC#iは直ちにIバスにアドレスとデータを出し、データ転送を行う。

【0085】DMAC#iがデータ転送を行っている間にDMAC#jには次のデータ転送のための設定がPバスを介して行われている。データ転送の準備が終ったDMAC#jは先ほどと同様にREQ信号でバス権を要求し、ACK信号によって許可されてデータのリードを実行している。複数のDMACが同時にバス権を要求した場合には、あらかじめ決められた順番に従う。このようにIバスによるデータ転送とPバスによるDMAの設定を独立に行い、複数のDMACを順次切り替えて用いることが可能となった。その結果、アービトレーションフェーズが不要となり、Iバスの使用効率を100%まで高めることが可能となった。

【0086】(10) まとめ

図31は、音楽データの圧縮と蓄積を例にとり時間軸に沿ったデータの流れを示す図である。入力デバイス5は膨大な量のデータを格納しており、しかもその読み込み速度はDRAM3の読み書き速度に比べて遅いので、入力デバイス5のデータを一度にDRAM3へ転送することはせずに、入力デバイス5のデータをバースト転送分ずつ区切って入力IFバッファ37へ転送し、また入力IFバッファ37上の入力デバイスデータをバースト転送分ずつ区切って入力IFバッファ37からチップ6へデータ転送する。またブリッジチップ1は、チップ6で圧縮されたデータをバースト転送分ずつ区切って入出力IFバッファ38にデータ転送する。入出力IFバッファ38に65538バイトの圧縮データがたまつたとき、バースト転送分ずつ区切って入出力IFバッファ38から入出力デバイス4にデータ転送する。このように入出力インタフェース13~15とDRAM3間のデータ転送は短時間で転送要求元が切り替わる。

【0087】入出力インタフェース13~15は、各々少なくともバースト転送分のリードライトバッファ21~23と、独立したDMAC26~28とを備えているので、各入出力インタフェース13~15のバースト転送ごとにDMACを切り替えても切り替えのための空きのバスサイクルは発生せず、高速のデータ転送を達成できる。またデータ圧縮/伸張専用のチップ6又は圧縮/伸張部35がデータ圧縮を行うので、データ圧縮処理にCPU2が介入することはなく高速のデータ転送が可能である。またDRAM3とチップ6との間のデータ転送の際にCDのサブコードのように転送に不要な部分やヘッダ領域のように空き領域を形成する部分をスキップし

20

てデータ転送できる。ブリッジチップ1がこのような一部領域のスキップ動作を自動的に行うので、各スキップ単位ごとにCPU2が介入する必要はなく、入出力インタフェース13~15とDRAM3間的高速データ転送を妨げない。さらにCPU2はサブコードの解析やヘッダの格納処理に際してDRAM3上のサブコードやヘッダ部分をCPU2のメインメモリ(図示せず)に取り込むことなく、ブリッジチップ1を介して直接DRAM3にアクセスすればよいので、入出力インタフェース13~15とDRAM3間的高速データ転送に寄与できる。またCPU2が各入出力インタフェース13~15のDMAC制御レジスタや入出力制御レジスタにアクセスするとき、内部バス10とは独立した周辺バス20を介してこれらのレジスタにアクセスするので、内部バス10を介する入出力インタフェース13~15とDRAM3間的高速データ転送を妨げない。

【0088】上記の高速DMA転送へのCPU2の介入を少なくするためには、CPU2がDMAC制御レジスタに設定する転送語数をできるだけ大きくすればよいが、一方チップ6のような拡張バス18に接続される入出力デバイスの処理単位が2048/424バイトのように比較的少量のデバイス固有のサイズをもつデータでありデバイス固有の制御を必要とするため、DMA転送制御をベースとしてCPU2がこのようなサイズのデータをブロックとして取扱えるように、拡張バスブロックについてCPU2が目的に応じたブロックサイズを設定し、ブリッジチップ1がこのブロックサイズに従ってブロック転送を制御する。

【0089】

【発明の効果】以上述べたように本発明の半導体装置によれば、各入出力インタフェースがそれぞれ独立したDMACを備え、メモリ上の一部領域をスキップしてデータ転送する機能を有するなどによってメモリと入出力デバイス間の効率よいデータ転送を行える半導体装置を提供できる。

【図面の簡単な説明】

【図1】実施形態のブリッジチップ1の内部構成及び接続されるデバイスを示す図である。

【図2】実施形態のブリッジチップ1の内部構成を示す図である。

【図3】実施形態のブリッジチップ1の内部構成であり、DRAM3をブリッジチップ1上に配置する構成を示す図である。

【図4】実施形態のブリッジチップ1の内部構成であり、CPU2をブリッジチップ1上に配置する構成を示す図である。

【図5】実施形態のブリッジチップ1の内部構成であり、CPU2及びDRAM3をブリッジチップ1上に配置する構成を示す図である。

【図6】実施形態のブリッジチップ1の内部構成であ

(12)

21

り、CPU 2、DRAM 3及び圧縮／伸張部 35をブリッジチップ1上に配置する構成を示す図である。

【図7】実施形態の入力デバイス5から入出力デバイス4までのデータの流れ及び処理の概要を示す図である。

【図8】実施形態のCPU 2からみたブリッジチップ1のアドレスマップを示す図である。

【図9】実施形態のブリッジチップI/O領域43のレジスタマップを示す図である。

【図10】実施形態のCPUインタフェースによる2つのアクセス方法を説明する図である。

【図11A】実施形態の各DMA制御レジスタのデータ構成を示す図である。

【図11B】実施形態の各DMA制御レジスタのデータ構成（続き）を示す図である。

【図12】実施形態のオフセット機能を説明する図である。

【図13】実施形態のスキップ機能を説明するブロック図である。

【図14】DMACによるデータ転送の例を示す図である。

【図15】実施形態のブリッジチップ1とATA機器との接続仕様を示す図である。

【図16】実施形態のブロック転送とデータ圧縮動作を説明するブロック図である。

【図17】実施形態のブロック転送とデータ圧縮動作を説明するタイミング図である。

【図18】実施形態の拡張バスに関するデータ転送用レジスタのデータ構成を示す図である。

【図19】実施形態のブロック転送とDMA転送の関連を説明する図である。

【図20】実施形態のBLENによるブロック転送動

22

作を説明する図である。

【図21】実施形態のブロック転送動作を説明するタイミング図である。

【図22】実施形態のブロック数カウント動作を説明するブロック図である。

【図23】実施形態のブロック数カウント動作を説明するタイミング図である。

【図24】実施形態のブリッジチップ1とチップ6間のデータ転送に関連する信号を示す図である。

【図25】実施形態の拡張バス18を介するブロック転送動作を説明するタイミング図である。

【図26】実施形態のブロック転送の中断とその継続転送動作を説明するタイミング図である。

【図27】実施形態のブロック転送中断と新規転送動作を説明するタイミング図である。

【図28】実施形態の拡張バス18のアービトレーションを説明するタイミング図である。

【図29】バスアービトレーションの概念を示す図である。

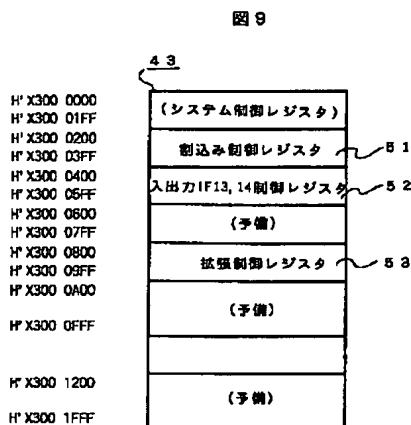
【図30】バスアクセス権の切替の例を示すタイミング図である。

【図31】時系列に沿ったデータ転送の切替の例を示す図である。

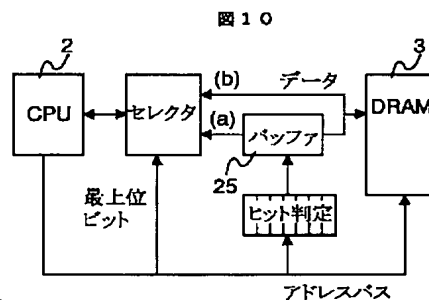
【符号の説明】

1：ブリッジチップ、2：CPU、3：DRAM、4：入出力デバイス、5：入力デバイス、6：チップ、7：外部デバイス、10：内部バス、13：入力インタフェース、14～15：入出力インタフェース、17：アービタ、18：拡張バス、20：周辺バス、21～23：リードライトバッファ、26～28：DMAC、42：バッファ領域、43：ブリッジチップI/O領域

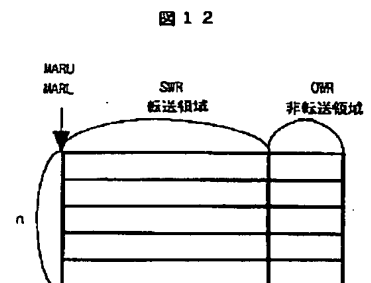
【図9】



【図10】

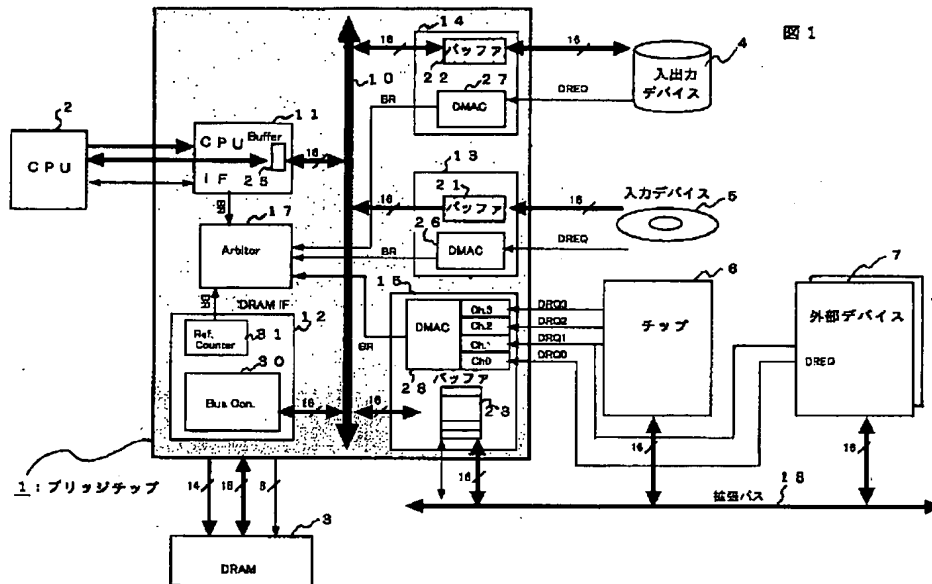


【図12】

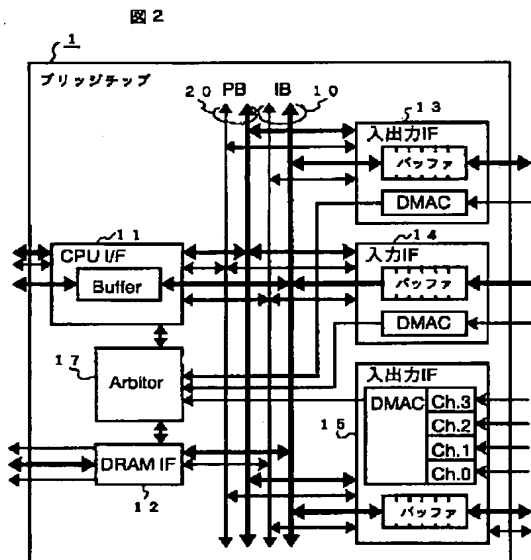


(13)

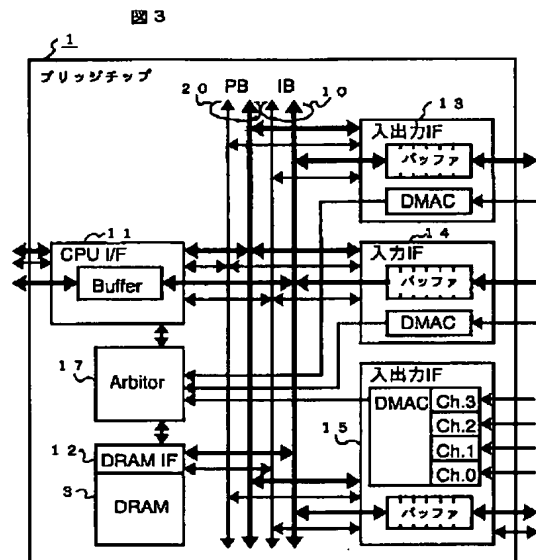
【図1】



【図2】

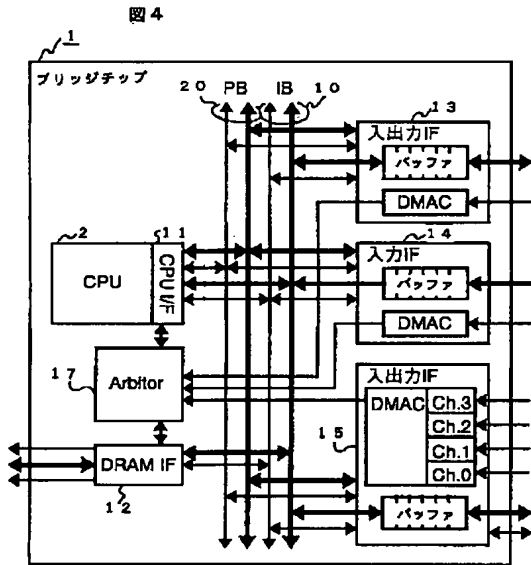


【図3】

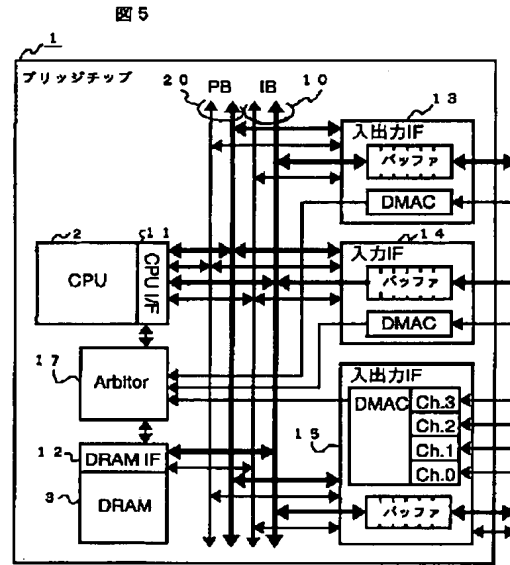


(14)

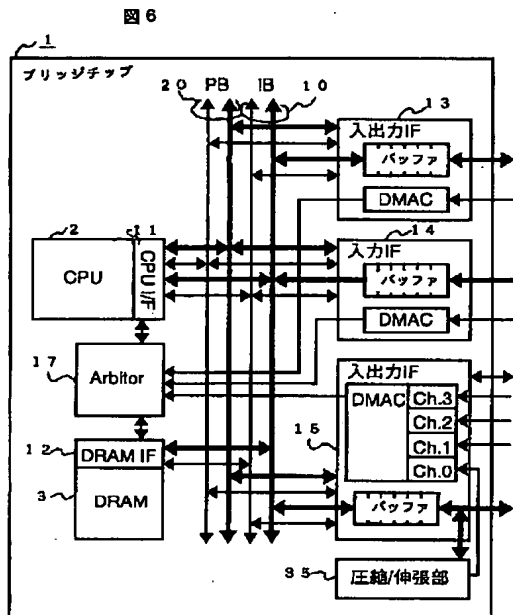
【図4】



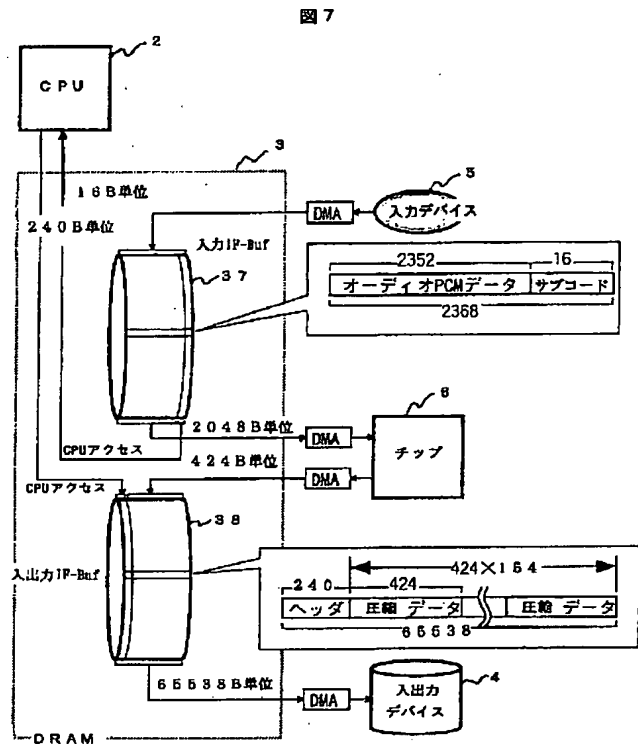
【図5】



【図6】



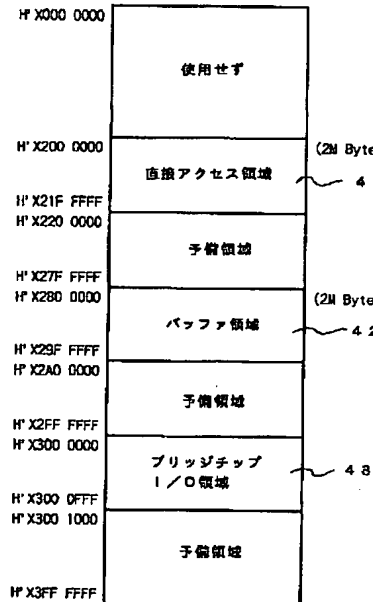
【図7】



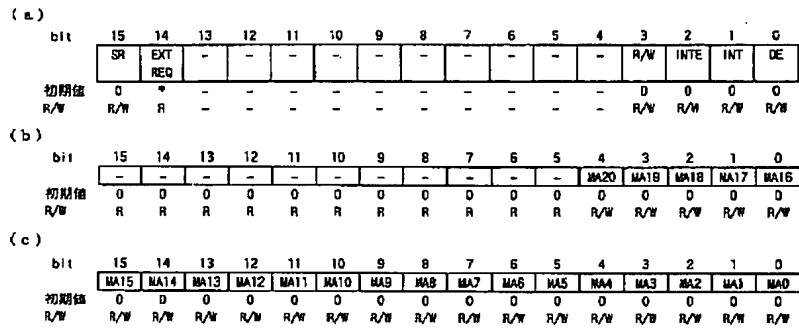
【図 8】

【図 1 1 A】

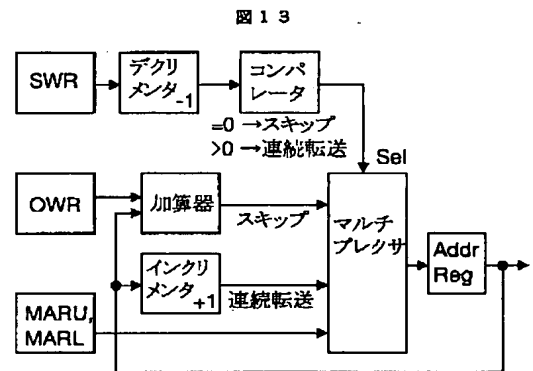
圖 8



11A

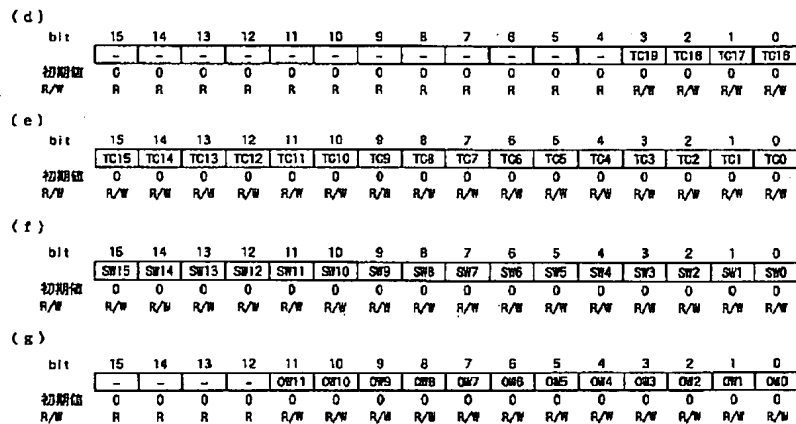


【図 13】



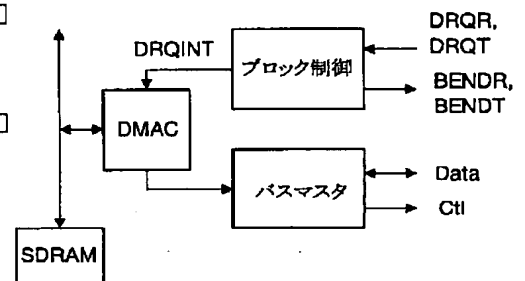
【図 1 1 B】

图 1 1 B



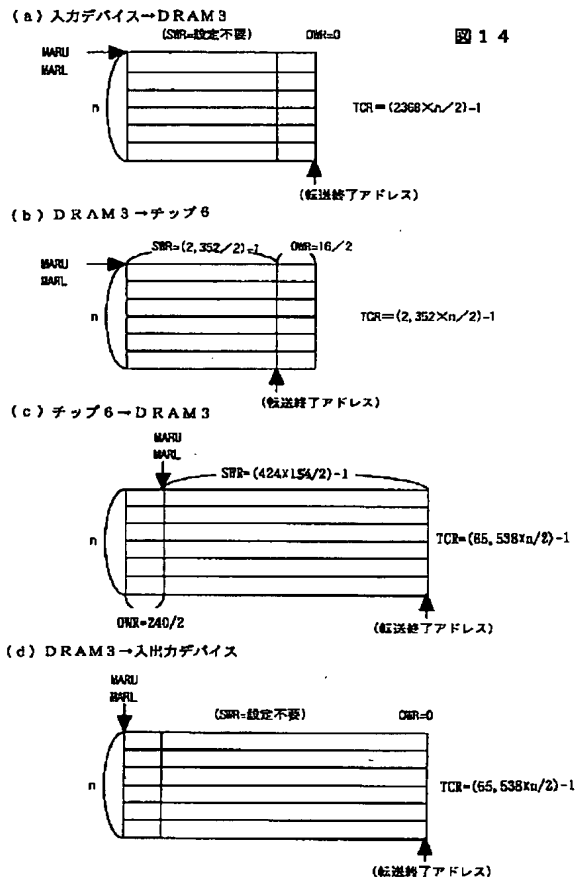
【図 16】

图 16

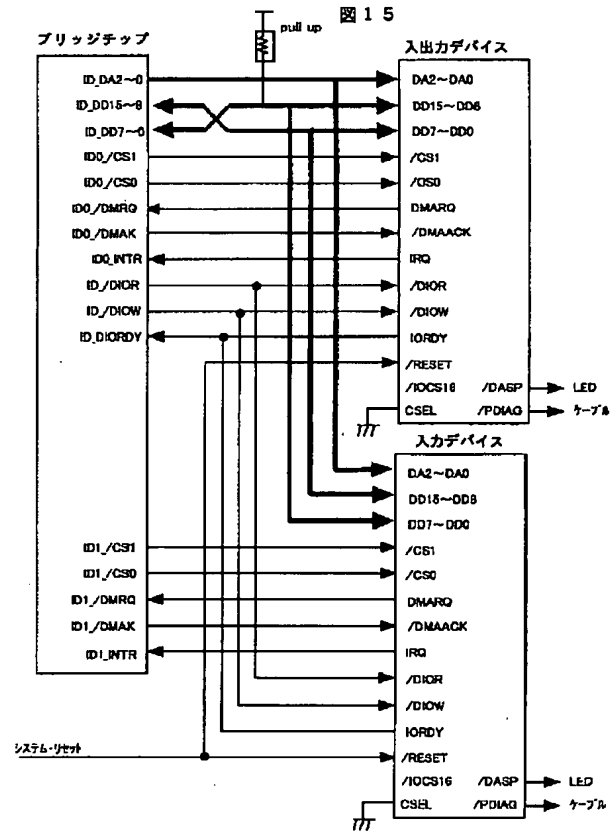


(16)

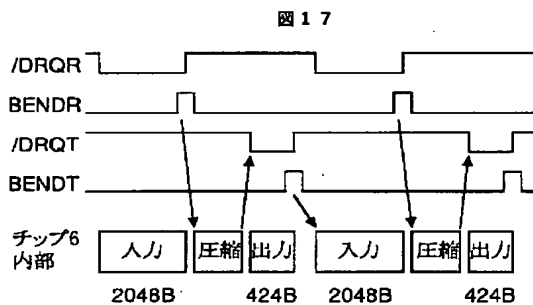
【図14】



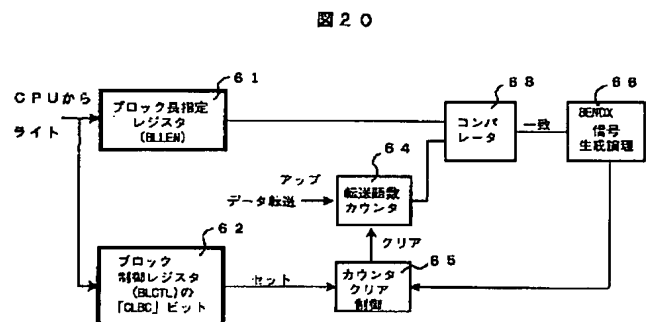
【図15】



【図17】

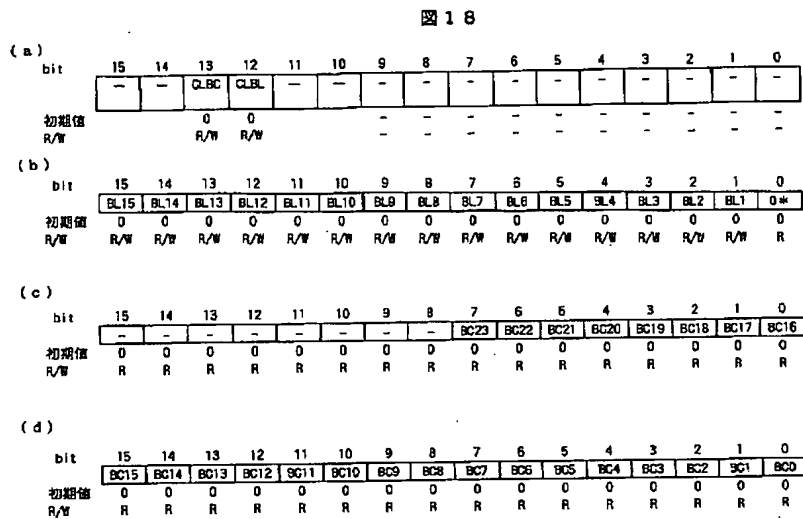


【図20】

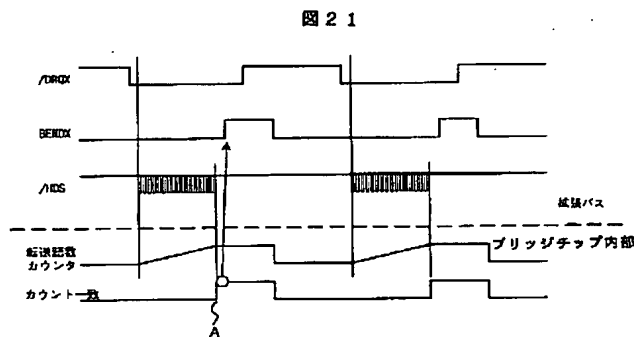


(17)

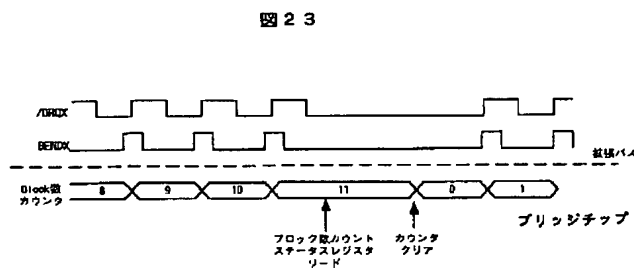
【図18】



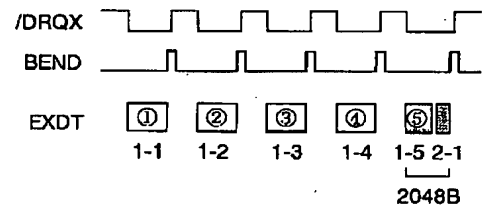
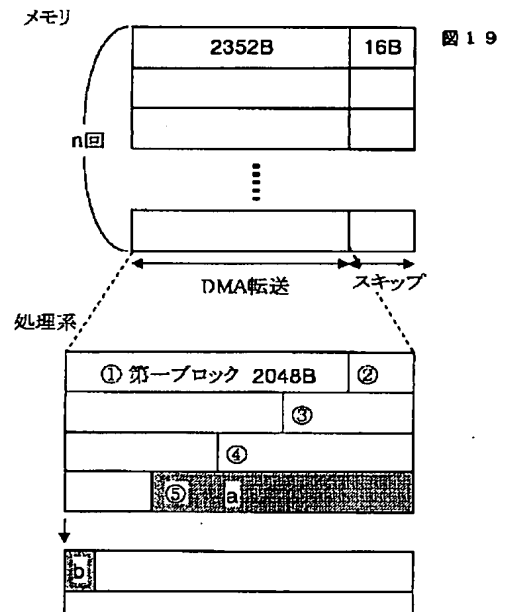
【図21】



【図23】

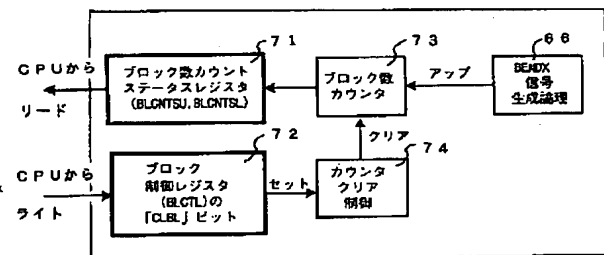


【図19】



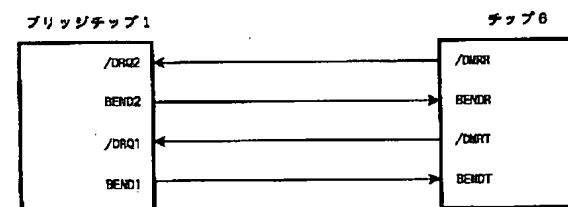
【図22】

図22



【図24】

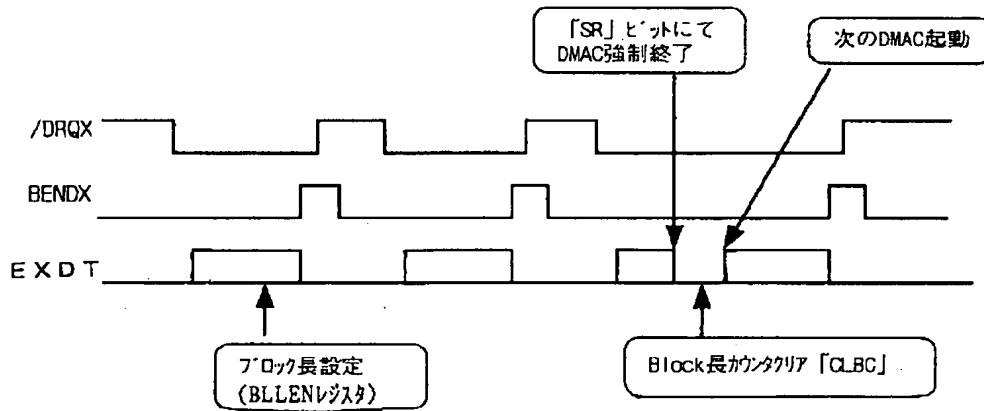
図24



(18)

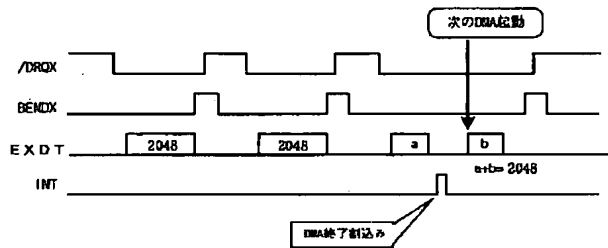
【図25】

図25



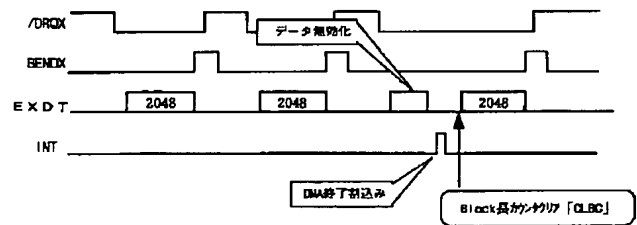
【図26】

図26



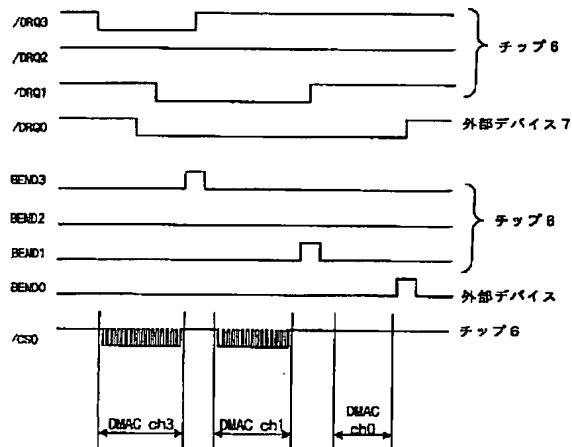
【図27】

図27



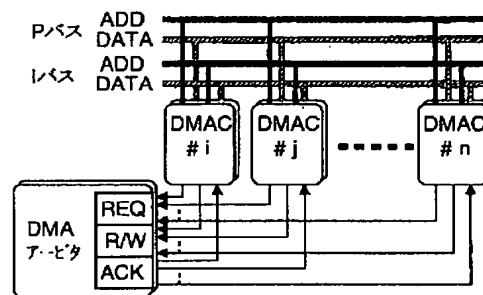
【図28】

図28



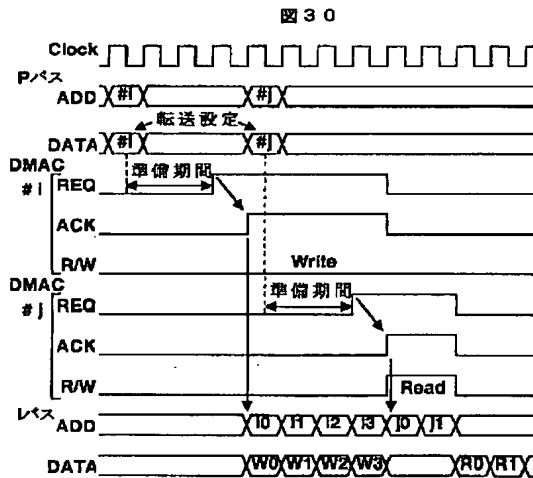
【図29】

図29

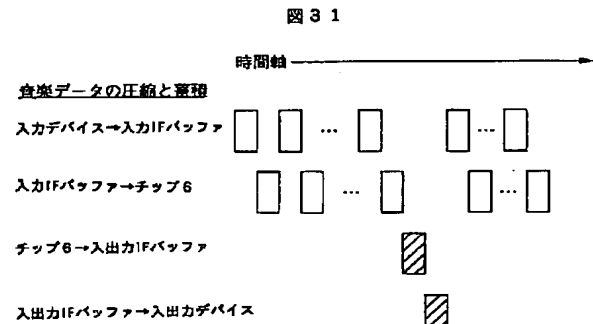


(19)

【図30】



【図31】



フロントページの続き

- (72) 発明者 佐藤 潤
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
- (72) 発明者 宮本 崇
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
- (72) 発明者 大村 賢一郎
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
- (72) 発明者 浜崎 博幸
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
- (72) 発明者 武田 博
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
- (72) 発明者 高野 誠
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

- (72) 発明者 望月 勇
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内
- (72) 発明者 星 恭彦
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内
- (72) 発明者 平出 和弘
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内
- (72) 発明者 村島 竜一
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

Fターム(参考) 5B014 EB03 GC01 GC05 GC07 GC21
5B060 CD13 GA18 KA03
5B061 BA01 BA03 BB01 BC03 DD01
DD09 DD11 RR02 RR03